



---

**Cursos avanzados  
Vivado para series-7  
y  
ZYNQ SoC**

**Entender VIVADO y la metodología de  
diseño para series-7**

**Madrid : 6 y 7 de Mayo 2013**

**Barcelona : 27 y 28 de Mayo 2013**

**Bilbao : 3 y 4 de Junio 2013**

**Aprende a diseñar con ZYNQ y su  
entorno de diseño/depuración**

**Madrid : 8 y 9 de Mayo 2013**

**Barcelona : 22 y 23 de Mayo 2013**

**Bilbao : 5 y 6 de Junio 2013**

## SUMARIO.

<b>PRESENTACIÓN GENERAL</b> _____	<b>3</b>
<b>REQUISITOS</b> _____	<b>3</b>
<b>PROGRAMAS DETALLADOS</b> _____	<b>4</b>
<b>DOCUMENTACIÓN Y EQUIPAMIENTO NECESARIO</b> _____	<b>7</b>
<b>PRECIO DE LOS CURSOS :</b> _____	<b>7</b>
<b>DATOS ADMINISTRATIVOS Y FISCALES DE LA EMPRESA QUE IMPARTE EL CURSO :</b> _____	<b>8</b>
<b>FECHAS, HORARIO Y LUGAR</b> _____	<b>8</b>
- <b>MADRID :</b> _____	<b>8</b>
- <b>BARCELONA :</b> _____	<b>8</b>
- <b>BILBAO:</b> _____	<b>9</b>
<b>HOTELES PRÓXIMOS :</b> _____	<b>9</b>
- <b>MADRID:</b> _____	<b>9</b>
- <b>BARCELONA :</b> _____	<b>9</b>
- <b>BILBAO :</b> _____	<b>9</b>
<b>CONDICIONES DE PAGO :</b> _____	<b>10</b>
<b>INSCRIPCIONES, GARANTÍA Y SOPORTE TÉCNICO :</b> _____	<b>10</b>
<b>OTRAS INFORMACIONES</b> _____	<b>11</b>

# Presentación general

Estos cursos serán impartidos en 3 eventos de 2 + 2 días en Madrid, Barcelona y Bilbao

Los participantes podrán apuntarse para cualquiera de estos dos cursos o para los dos.

El **curso de Vivado** permitirá a los usuarios de ISE familiarizarse con los nuevos conceptos de Vivado para series-7. Una parte importante de este curso será dedicado a la asignación de restricciones (XDC) y análisis de timing. Las FPGAs de la serie-7 (Artix, Kintex y Virtex-7) serán también analizadas.

Se entregaran todos los códigos fuentes de los distintos proyectos a los participantes con las presentaciones en formato PDF, en una memoria USB.

**Los participantes están invitados en traer su laptop, con la versión Vivado 2012.4 instalada, para poder hacer los ejemplos presentados durante las demostraciones.**

Durante el curso de ZYNQ el asistente podrá profundizar en el diseño de sistemas electrónicos basados en la nueva plataforma de Xilinx. Con un enfoque eminentemente práctico se trabajarán la sección del procesador ARM9 y periféricos asociados implementados en el silicio y la sección reconfigurable. Con especial énfasis se detallarán los mecanismos y buses de interconexión de información y la gestión avanzada de transferencia de datos y depuración.

**Los participantes están invitados en traer su laptop, con la versión ISE14.2 instalada, para poder hacer los ejemplos presentados durante las demostraciones.**

Se entregaran todos los códigos fuentes de los distintos proyectos a los participantes con las presentaciones en formato PDF, en una memoria USB.

## Requisitos

- **Vivado** : La participación a este curso requiere un buen conocimiento del lenguaje VHDL para síntesis y simulación, así como una experiencia previa en el uso de las arquitecturas de FPGA Xilinx y de las herramientas ISE.
- **Vivado** : La participación a este curso requiere un buen conocimiento del lenguaje VHDL para síntesis y simulación, así como una experiencia previa en el uso de las arquitecturas de FPGA Xilinx y de las herramientas ISE.

**Nota :** Los temas descritos a continuación serán tratados durante el curso en una forma pedagógica que no necesariamente corresponde al orden presentado en este programa. No se trata de analizar en una forma académica, punto por punto los temas descritos. Más bien, un mismo tema teniendo implicaciones tanto en las prestaciones requeridas, como en la arquitectura de FPGA, el lenguaje VHDL, las herramientas de implementación y las restricciones, el desarrollo del curso sigue una trama entrelazada entre los diferentes temas, para analizar su interferencia mutua.

# Programas detallados

## Programa de la formación Vivado

**Entender la metodología de uso eficiente de Vivado y de las familias Artix, Kintex y Virtex-7. Crear archivos de restricciones (XDC) y sacar ventaja del nuevo analizador de timing**

**Instructor : Sr Edgard GARCIA (MVD)**

### Vivado Día 1

Vivado : presentación general de las características importantes  
Puntos destacados de las arquitecturas Artix, Kintex y Virtex-7  
Entorno grafico del interfaz usuario de Vivado  
Creación de un proyecto e identificación de los archivos  
Flujo de síntesis e implementación básico  
Creación de reportes de análisis (ocupación de recursos, relojes, timing...)

**Lab 1** : creación de un proyecto y flujo de síntesis/implementación. Navegar en las distintas ventanas para análisis de los resultados de implementación

Flujo de simulación con ISIM

**Lab 2** : simulación en el entorno Vivado

Restricciones y archivos XDC

- Restricciones físicas y eléctricas
- Restricciones de timing
- Floorplanning
- Constraint editor de Vivado

Soporte para varios archivos de restricción. Como manejar los distintos archivos

**Lab 3:** Creación de restricciones físicas (eléctricas y de asignación de pines) e implementación y análisis de resultados

Restricciones básicas de timing y análisis de timing estático en Vivado

Similitudes y diferencias con ISE

- Period
- Set input delay
- Set output delay

Uso del entorno grafico interactivo de Vivado para análisis detallado de los aspectos de timing

- Cross probing con el código fuente
- Generación de esquemáticos pertinentes

**Lab 4** : Creación de restricciones de timing básicas e implementación y análisis de resultados

### Vivado Día 2

Opciones de síntesis de Vivado

Análisis detallado de las opciones de implementación

Síntesis e implementación paso a paso con generación de reportes

Creación de flujos de síntesis/implementación múltiples

**Lab 1** : creación de un proyecto y flujo de síntesis/implementación. Navegar en las distintas ventanas para análisis de los resultados de implementación

Nociones avanzadas de restricciones de timing  
Caso de relojes múltiples, síncronos y asíncronos  
Análisis detallado de los caminos en error de timing  
Probar modificaciones del diseño en el entorno gráfico para estimar su eficiencia  
Modificación del código fuente y re-implementación  
Identificación de los cambios de dominio de reloj en Vivado y ayuda para detectar posibles asincronismos  
Nociones de desincronización y uso de restricciones avanzadas de timing  
- False path  
- Multi cycle path  
- Set clock groups

**Lab 2** : Analizar un diseño con relojes múltiples, aplicar restricciones adecuadas y modificar el diseño para cumplir con los requisitos de timing

Floorplanning y restricciones de colocación de los recursos  
Creación de Pblocks jerárquicos  
Creación de Pblocks en función del análisis de timing sobre los caminos en error

**Lab 3**: Generar restricciones de colocación en los módulos estratégicos del diseño. Implementación y análisis detallado

Generación de bitstream  
Introducción a ChipScope en el entorno Vivado

**Lab 4**: Integrar un módulo ChipScope en el diseño e implementar para pruebas y depuración  
En placa de demo

## Programa de la formación ZYNQ

**El objetivo este curso es el de profundizar en el diseño de sistemas electrónicos basados en la nueva plataforma Zynq de Xilinx. Con un enfoque eminentemente práctico se trabajarán la sección del procesador ARM9 y periféricos asociados implementados en el silicio y la sección reconfigurable. Con especial énfasis se detallarán los mecanismos y buses de interconexión de información y la gestión avanzada de transferencia de datos y depuración.**

**Instructor : Sr Armando ASTARLOA (SoC-e)**

### Zynq Día 1

Zynq : Descripción general de la Arquitectura del Zynq Extensible Processing Platform (EPP)

- Identificación de los componentes de la sección Processing System (PS)
- Modos de configuración del Zynq

Descripción detallada del Application Processing Unit (APU) (sección ARM9)

- Características del procesador Cortex-A9
- Coprocesador NEON
- Snoop Control Unit (SCU)
- Memoria Cache

- Timers integrados

Periféricos de entrada / salida incluidos la zona (sección ARM9)

- Descripción de los periféricos
- Uso del MOI y EMIO

### **Lab 1:** Creación de un diseño Zynq EPP

Descripción de los conceptos esenciales en la arquitectura del Zynq

- Opciones de configuración de PL y PS
- Acceso a la memoria y a los periféricos de zona PS desde la zona Programmable Logic (PL)
- Interfaces e interrupciones desde zonas PS y PL

Introducción a la especificación de bus de sistema AXI

- Modelos Arquitecturales AXI
- Canales, protocolos señalización AXI

Puertos de conexión AXI del Zynq entre la zona del procesador (PS) y la zona de FPGA (PL)

- AXI interfaces desde PL a PS
- AXI master interface desde PS a PL
- Interface Accelerator Coherence Port (ACP)

### **Lab 2:** Integración de IPs en lógica programable en el EPP Zynq

## **Zynq Día 2**

Configuración de dispositivos periféricos en el Zynq EPP

- Secuencia de boot del Zynq
- Modos seguros y no seguros de boot

Recursos de memoria en el Zynq EPP

- Recursos de memoria On-Chip-Memory (OCM)
- Controladores de memoria integrados
- Interfaces PL para memoria de baja latencia

Arquitectura de diseño en la sección programable del Zynq EPP

- Opciones de reloj en la zona PL
- Opciones de pinout MIO
- Monitor de sistema XADC

### **Lab 3:** Uso de DMA en el Zynq EPP

Diseño software con Zynq EPP

- First Stage Bootloader
- Configuración de sección PL desde software

- Codificación APRA el co-procesador NEON
- Uso del BootGen

Depuración con Zynq EPP

- Introducción al CoreSight
- JTAG
- Integración Del Chipscope
- Cosimulación
- Zynq EPP Virtual Platform

**Lab 4:** Depuración con Zynq EPP

Herramientas y diseños de referencia del Zynq EPP

- Ejemplos de casos de uso del Zynq EPP

**Lab 5:** Ejecutar y Depurar una aplicación de Linux en el EPP Zynq

## Documentación y equipamiento necesario

- La documentación se entregara en forma de archivos PDF, en una memoria USB en la cual los proyectos ISE y archivos VHDL comentados serán también almacenados
- **Los participantes están invitados en traer su ordenador portátil** con el software **VIVADO 2012.4** instalado para poder efectuar las prácticas durante el curso Vivado, y abrir los archivos PDF para poder anotarlos en caso de necesidad.
- Para poder realizar la prácticas del curso del Zynq se requiere tener instalado el software ISE System Edition versión 14.2 y los ficheros de configuración de la placa ZedBoard.
- Para participantes de una misma empresa, un PC para cada dos participantes es suficiente

## Precio de los cursos :

- **Curso de 2 días :**

- **700 Euros + IVA 21% o 14 Training Credits**
- **600 Euros + IVA 21% a partir de la segunda inscripción a cualquiera de los 2 cursos**

# Datos administrativos y fiscales de la empresa que imparte el curso :

## **Media Video Diseño**

Calle Oliva 10, 2B  
17600 FIGUERAS  
Girona – España

NIF : B17894460

## **Instructores :**

Sr Edgard GARCIA (curso Vivado)  
Sr Armando ASTARLOA (curso ZYNQ)

## Fechas, horario y lugar

- De 9h a 13h y de 14h30 a 17h30
- Coffee breaks de 10 minutos a las 10h45 y 16h
  
- **MADRID :**
  - o **Vivado : Lunes 6 y Martes 7 de Mayo 2013**
  - o **ZYNQ : Miércoles 8 y Jueves 9 de Mayo 2013**

**Oficinas Avnet Silica**  
Calle Chile 10  
Edificio Madrid 92  
2da Planta – Oficina 229  
E-28290 Las Matas
  
- **BARCELONA :**
  - o **Vivado : Lunes 27 y Martes 28 de Mayo 2013**
  - o **ZYNQ : Miércoles 22 y Jueves 23 de Mayo 2013**

**Oficinas Avnet Silica**  
Avnet Silica  
Calle Mallorca 1,  
2da Planta  
08114 Barcelona



- **BILBAO:**

- **Vivado : Lunes 3 y Martes 4 de Junio 2013**
- **ZYNQ : Miércoles 5 y Jueves 6 de Junio 2013**

**Oficinas SoC-e  
Zitek Bilbao  
Escuela de Ingenieros (junto a estadio de San Mamés)  
Alameda de Urquijo S/N  
48013-Bilbao  
(Bizkaia)**

## Hoteles próximos :

- **MADRID:**

- **Gran Hotel Las Rozas \*\*\*\*** (Calle Chile, Las Matas) Tel : 916 30 84 10
  - **Travelodge \*\*\*** (Calle Peru, Las Matas) Tel : 916301717
- Ambos hoteles quedan a menos de 500m de las oficinas de Avnet/Silica

- **BARCELONA :**

- **Hotel Torre Catalunya \*\*\*\*** (Avenida Roma 2-4) Tel 936 00 69 99
  - **Expo Hotel \*\*\*\*** (Calle Mallorca) Tel : 936 00 30 00
- Ambos hoteles quedan a 200m de las oficinas de Avnet/Silica

- **BILBAO :**

- **Hotel Hesperia Zubialde \*\*\*\*\*** (Ventosa Bidea, 34) Tel 944 00 81 00
- Este hotel queda a 200m de las oficinas de SoC-e

# Condiciones de pago :

por transferencia bancaria a recepción de factura y 1 semana antes del curso

## Inscripciones, garantía y soporte técnico :

- **Para inscribirse, mandar una orden de pedido a la dirección siguiente :**
  - [mvd.iberia@mvd-fpga.com](mailto:mvd.iberia@mvd-fpga.com)

### **Nota importante :**

El orden de pedido debe incluir todos los datos necesarios para establecer la facturación

- Nombre y dirección de la empresa
  - Nombre y apellido del participante
  - NIF o CIF
- 
- **Tarifas :**
    - **700 Euros o 14 Training Credits XPA**
    - **600 Euros a partir de la segunda inscripción a cualquiera de los 2 cursos**
- 
- **Para información adicional por teléfono o email :**
    - **Informaciones administrativas**
      - [edgard.garcia@mvd-fpga.com](mailto:edgard.garcia@mvd-fpga.com)
      - Tel : 679 07 83 83
    - **Informaciones técnicas en cuanto al curso Vivado**
      - [edgard.garcia@mvd-fpga.com](mailto:edgard.garcia@mvd-fpga.com)
      - Tel : 679 07 83 83
    - **Informaciones técnicas en cuanto al curso ZYNQ**
      - [armando.astarloa@soc-e.es](mailto:armando.astarloa@soc-e.es)
      - Tel : 644 06 45 41
- 
- **Los participantes tendrán derecho a un soporte técnico gratuito para preguntas relacionadas con el contenido del curso, durante los 6 meses que siguen la formación.**
- 
- **Las preguntas podrán hacerse por email o por teléfono :**
    - [edgard.garcia@mvd-fpga.com](mailto:edgard.garcia@mvd-fpga.com)
    - **Movistar : 679 07 83 83**

# Otras informaciones

MVD es centro oficial de training para los siguientes fabricantes : ARM, Freescale, Xilinx



También ofrecemos una amplia gama de cursos de hardware/software para aplicaciones embebidas

- Los cursos pueden ser personalizados para las necesidades de su empresa, y dictados a domicilio
- Para información sobre otros cursos, servicios de consultoría FPGA o IP Cores desarrollados por MVD, consultar : [www.mvd-fpga.com](http://www.mvd-fpga.com)
- Página en Español : Iberia & America Latina

The image is a screenshot of a website with two main columns. The left column is titled 'MVD Training Centre de formation' and describes training services for various processors and languages. The right column is titled 'MVD Cores IP Cores solution for Digital Video Broadcasting' and describes IP core solutions for video broadcasting. Both columns include a list of services and a link to their respective websites. The background of the screenshot shows a circuit board pattern.

**MVD Training** Centre de formation

MVD Training est spécialisé dans la formation sur les produits de haute technicité pour les systèmes enfouis en électronique, depuis le VHDL jusqu'au logiciel des systèmes embarqués et temps-réel.

MVD Training dispense des formations agréées par ses partenaires XILINX, ARM, FREESCALE, ST, ATMEL :

- ▶ VHDL
- ▶ FPGAs Xilinx
- ▶ Processeurs ARM
- ▶ Processeurs FREESCALE
- ▶ Processeurs IBM
- ▶ Processeurs AMCC
- ▶ Processeurs ST
- ▶ Processeurs ATMEL
- ▶ Processeurs NXP
- ▶ Processeurs INTEL
- ▶ Interfaces MARVELL
- ▶ Interfaces TUNDRA
- ▶ Bus & Réseaux
- ▶ Linux embarqué & autres OS
- ▶ Langages

Site MVD Training

**MVD Cores** IP Cores solution for Digital Video Broadcasting

MVD Cores est une société spécialisée en technologies de diffusion vidéo numérique (DVB) et FPGA. MVD Cores fournit des coeurs de propriété intellectuelle (IP Cores) pour FPGAs Xilinx pour le traitement, le transport et la transmission des standards MPEG, DVB et ATSC.

Notre catalogue de produits et services contient une large gamme d'IPs prêtes à l'emploi permettant de construire des solutions de transport depuis le MPEG-TS jusqu'à la RF.

Nos IPs couvrent pratiquement tous les standards mondiaux des technologies actuelles pour la diffusion terrestre (TNT), par câble, ou par satellite.

Site MVD Cores

Iberia & America Latina